

## Operation mode setting circuit of semiconductor memory device and method for setting thereof

Patent Number: US6343048  
Publication date: 2002-01-29  
Inventor(s): JUNG WOO SEOP (KR)  
Applicant(s): SAMSUNG ELECTRONICS CO LTD  
Requested Patent: JP2001195898  
Application US20000710221 20001110  
Priority Number(s): KR19990051338 19991118  
IPC Classification: G11C8/00  
EC Classification: G11C29/00B2B9  
Equivalents: KR2001047221

---

### Abstract

---

The present invention relates to an operation mode setting circuit and a method for setting thereof. The circuit includes a mode register, an internal control signal generator, a mode control signal generator, a first output unit, a second output unit, a first decoder and a second decoder. The mode register provides internal address signals by inputting external address signals. The internal control signal generator generates an internal control signal in response to an external control signal. The mode control signal generator generates a test mode control signal or mode register set control signal by combining the internal address signals in response to a mode register set write signal and the internal control signal. The first output unit outputs a corresponding address signal among the internal address signals as a first internal address signal in response to the mode register set control signal. The second output unit outputs a corresponding address signal among the internal address signals as a second internal address signal in response to the test mode control signal. The first decoder generates a setting signal of a programmed operation mode by decoding the first internal address signal output from the first output unit. The second decoder generates a setting signal of a programmed test mode by decoding the signal output from the second output unit. Thus, the possibility that a test mode is inadvertently set in a user mode is prevented by blocking a test mode control signal output by the internal control signal

---

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-195898  
(P2001-195898A)

(43)公開日 平成13年7月19日(2001.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク <sup>8</sup> (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 T
G 0 1 R 31/3185		G 0 1 R 31/28	W
	31/28	G 1 1 C 11/34	3 6 2 S
G 1 1 C 11/407			3 7 1 A
	11/401		

審査請求 未請求 請求項の数16 OL (全 8 頁)

(21)出願番号 特願2000-351691(P2000-351691)  
(22)出願日 平成12年11月17日(2000.11.17)  
(31)優先権主張番号 199951338  
(32)優先日 平成11年11月18日(1999.11.18)  
(33)優先権主張国 韓国(KR)

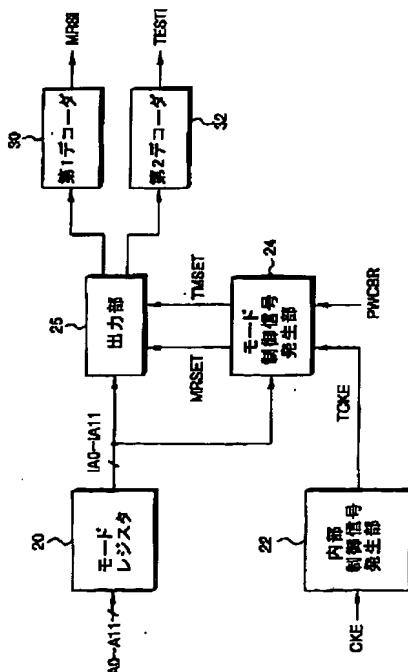
(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416  
(72) 発明者 鄭 又燮  
大韓民国京畿道龍仁市奇興邑農庶裡山7-1  
(74) 代理人 100064908  
弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 半導体メモリ装置の動作モードセッティング回路及び方法

(57)【要約】

【課題】 半導体メモリ装置の動作モードセッティング回路及び方法を提供する。

【解決手段】 内部アドレス信号を提供するモードレジスタ20と、内部制御信号を生じる内部制御信号発生部22と、テストモード制御信号又はモードレジスタセレクト制御信号を各々生じるモード制御信号発生部24と、内部アドレス信号中対応するアドレス信号を第1内部アドレス信号として出力する第1出力部26と、内部アドレス信号中対応するアドレス信号を第2内部アドレス信号として出力する第2出力部28と、第1内部アドレス信号をデコーディングしてプログラミングされた動作モードのセッティング信号を生じる第1デコーダ30と、信号をデコーディングしてプログラミングされたテストモードのセッティング信号を生じる第2デコーダ32を含む。



## 【特許請求の範囲】

【請求項1】 外部入力アドレス信号に応答して内部アドレス信号を提供するモードレジスタ、前記内部アドレス信号と追加的な外部制御信号を組合せてテストモード制御信号とモードレジスタ制御信号中一つを生じて、前記テストモード制御信号はモードレジスタセット書込み信号に応答して生じるモード制御信号発生部、前記モードレジスタセット制御信号に応答して前記内部アドレス信号中対応するアドレス信号を第1内部アドレス信号として出力して、前記テストモード制御信号に応答して前記内部アドレス信号中対応するアドレス信号を第2内部アドレス信号として出力する出力部を備えたことを特徴とする半導体メモリ装置の動作モードセッティング回路。

【請求項2】 前記外部制御信号を受信して前記外部制御信号に応答して内部制御信号を発生させる内部制御信号発生部をさらに含んでおり、前記モード制御信号発生部は前記内部制御信号を受信して、前記内部制御信号に応答して前記テストモード制御信号を発生させる請求項1に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項3】 前記外部制御信号は、クロックイネーブル信号及びデータ入／出力制御信号中一つである請求項1に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項4】 前記外部制御信号を受信して、前記外部制御信号に応答して内部制御信号を発生させる内部制御信号発生部をさらに含んでおり、前記モード制御信号発生部は前記内部制御信号を受信して、前記内部制御信号に応答して前記テストモード制御信号を発生させる請求項3に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項5】 前記内部制御信号発生部は、前記外部制御信号のアクティブ状態を検出する比較部と、前記比較部の出力信号をバッファリングして前記内部制御信号として出力する出力バッファをさらに含む請求項4に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項6】 前記モード制御信号発生部は、前記内部アドレス信号中テストモードの非アクティブデータを検出する第1検出部と、

前記内部アドレス信号中モードレジスタセットモードの非アクティブデータを検出する第2検出部と、前記モードレジスタセット書込み信号に応答して前記第1及び第2検出部の出力信号を組合せて獲得されたモードレジスタセット制御信号を出力する第1信号発生部と、

前記モードレジスタセット書込み信号と前記外部制御信号に応答して前記第1及び第2検出部の出力信号を組合せて獲得されたテストモード制御信号を出力する第2信号発生部をさらに含んでいる請求項1に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項7】 前記外部制御信号を受信して、前記外部制御信号に応答して内部制御信号を発生させる内部制御信号発生部をさらに含んでおり、前記第2信号発生部は前記内部信号を受信して、前記内部制御信号に応答して前記テストモード制御信号を出力する請求項6に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項8】 前記第2検出部の前記非アクティブデータは、コラムアドレスストローブ待ち時間を決定するアドレス信号がすべてハイレベルにある時検出されて、前記第1検出部の非アクティブデータはテストモードを決定するアドレス信号がすべてハイレベルにある時検出される請求項6に記載の半導体メモリ装置の動作モードセッティング回路。

【請求項9】 外部アドレス信号をモードレジスタに入力して内部アドレス信号を生じる段階と、モードレジスタセット書込み信号及び外部制御信号に応答して前記内部アドレス信号によってテストモード制御信号及びモードレジスタセット制御信号を生じる段階と、

モードレジスタセット制御信号が生じる場合、前記モードレジスタセット制御信号に応答して第1内部アドレス信号として前記内部アドレス信号中対応するアドレス信号を出力して、テストモード制御信号が生じる場合、前記テストモード制御信号に応答して第2内部アドレス信号として前記内部アドレス信号中対応するアドレス信号を出力する段階を含む半導体メモリ装置の動作モードセッティング方法。

【請求項10】 外部制御信号に応答して内部制御信号を生じる段階をさらに含んでおり、前記テストモード制御信号は内部制御信号に応答して生じる請求項9に記載の半導体メモリ装置の動作モードセッティング方法。

【請求項11】 前記外部制御信号は、クロックイネーブル信号とデータ入／出力制御信号中一つである請求項9に記載の半導体メモリ装置の動作モードセッティング方法。

【請求項12】 外部制御信号に応答して内部制御信号を生じる段階をさらに含んでおり、前記テストモード制御信号は前記内部制御信号に応答して生じる請求項11に記載の半導体メモリ装置の動作モードセッティング方法。

【請求項13】 前記モード制御信号は、前記内部アドレス信号中モードレジスタセット書込み信号及びテストモードの非アクティブデータを検出して第1及び第2検出信号を出力して、前記モードレジスタ書込み信号に応答して第1及び第2検出信号を組合せて得られた前記モードレジスタセット制御信号及びテストモード制御信号を出力して生じて、前記テストモード制御信号は前記内部制御信号に応答して出力される半導体メモリ装置の動作モードセッティング方法。

作モードセッティング方法。

【請求項14】前記モードレジスタセットモードの非アクティブデータは、コラムアドレスストローブ待ち時間で決定するアドレス信号がすべてハイレベルにある時検出されて、テストモードの非アクティブデータは、テストモードを決定するアドレス信号がすべてハイレベルにある時検出される請求項13に記載の半導体メモリ装置の動作モードセッティング方法。

【請求項15】モードレジスタに外部アドレス信号を入力して内部アドレス信号を生じる段階、モードレジスタセット書込み信号に応答して前記内部アドレス信号によってテストモード制御信号及びモードレジスタセット制御信号中一つを生じる段階、クロックイネーブル信号のアクティブ領域で前記テストモード制御信号の発生を遮断する段階、モードレジスタセット制御信号が生じる場合に前記モードレジスタセット制御信号に応答して第1内部アドレス信号として前記内部アドレス信号中対応するアドレス信号を出力して、テストモード制御信号が生じる場合に前記テストモード制御信号に応答して第2内部アドレス信号として前記内部アドレス信号中対応するアドレス信号を出力する段階を含む半導体メモリ装置の動作モードセッティング方法。

【請求項16】前記外部制御信号に応答して内部制御信号を生じる段階と、前記内部制御信号に応答して前記テストモード制御信号を生じる段階をさらに含む請求項15に記載の半導体メモリ装置の動作モードセッティング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置の動作モード回路及び方法に関するものであり、特にシンクロナスDRAM (SDRAM) のような同期式DRAMでDRAMの動作を予めプログラムできる半導体メモリ装置のモードレジスタセット回路のユーザー モードで誤作動を防止できる動作モードセッティング回路及び方法に関するものである。

【0002】

【従来の技術】一般に、シンクロナスDRAMやRAMバスDRAMではローアクセスタイム、コラムアクセスタイムまたはバースト長さ (BURST LENGTH)などをクロックの定数倍に設定でき、バンド幅などを指定するレジスタを内蔵してレジスタのプログラム内容によってチップの動作モードが設定されるようにしている。このようなレジスタをモードレジスタといって、このモードレジスタにプログラムされた内容により動作モードをセッティングする回路をモードレジスタセット (MRS : MODE REGISTER SET) 回路と称する。

【0003】図1は、従来の半導体メモリ装置の動作モードセッティング回路のブロック構成を示して、図2は

モード制御信号発生部の回路構成を示す。図3は図1の動作状態を説明するためのタイミング図を示す。従来には、外部アドレス信号A0～A11をモードレジスタ10にラッチして、ラッチされた内部アドレス信号IA0～IA11はモード制御信号発生部12及び出力部14に提供される。モード制御信号発生部12では図2に示したように、入力された内部アドレス信号中テストモードに関連したアドレス信号IA1、IAmと、ユーザー モード、すなわちMRSに関連したアドレス信号IAi～IAkとを各々組合せて現在プログラムされた動作モードがテストモードであるのかユーザー モードであるのかを判断して対応するモード制御信号MRSSETまたはTMSETを各々出力するようになる。この時、これらモード制御信号はMRSのパルスされた書込み命令信号であるPWCBRに応答して出力イネーブルされる。

【0004】出力部14ではモードコントロール信号MRSSETまたはTMSETに応答して各モードに関連したアドレス信号を選択的に出力して、前記モードがレギュラーモードであるのかテストモードなのかによって第1または第2デコーダ16、18に提供するようになる。第1または第2デコーダ16、18では提供されたアドレス信号をデコーディングしてプログラムされた動作モード信号MRSi、TESTiを出力してチップの動作モードをセッティングするようになる。

【0005】テストモードは、半導体チップ製造者が製造段階でチップの良／不良をテストするためのモードとして、一般ユーザーには意味がないモードである。ユーザー モードでユーザーがMRS値をプログラムするようになる場合問題が生じる。すなわち、ユーザーが過ちをする場合、妥当でないMRS値またはテストモードの値がプログラムされる場合が種々生じるようになる。

【0006】したがって、本出願人は、大韓民国公開特許第1999-3104号明細書でユーザー モードで妥当でないMRSがセッティングされても以後に妥当なMRSがセッティングされるようになれば妥当なMRSにセッティングされるようにする技術を開示した。言い換えば、ユーザー モードで過ちでテストモードにセッティングされた場合に、ユーザー モードを再びセッティングするようになれば、テストモードとユーザー モードとが同時にセッティングされているためにチップではユーザー モードにセッティングされていないことに認識して誤謬を生じるようになる。それゆえ、この公開特許の発明は、テストモードにセッティングされた次に再びユーザー モードにセッティングする場合には、テストモードをリセットさせる技術を開示している。

【0007】しかし、前記公開特許の発明は、厳格にいえば、テストモードセッティング信号をリセットされることであるので、既にチップ動作がテストモードに進入された状態で進入されたテスト動作をリセットされることではない。それゆえ、テストモードセッティング信号

がリセットされこのリセット動作に応答して動作中のテスト動作が完全にリセットされる時までは、テストモードによっては相当な時間が必要とされる場合もある。すなわち、セッティング誤謬による進入動作が完全にリセットされて定常状態に復旧される時まで待った後に正常的なセッティング動作をさせなければならないために使用上の不便さがあった。

#### 【0008】

【発明が解決しようとする課題】本発明の目的は、このような従来技術の問題点を解決するために、ユーザー モードではユーザーの過ちでテストモードに誤設定された場合にもテストモードのセッティングを源泉的に封鎖してユーザー モードではテストモードがセッティングされないようにすることによりユーザーの使用上便利性を向上させることができる半導体メモリ装置の動作モードセッティング回路及び方法を提供することにある。

#### 【0009】

【課題を解決するための手段】前記の目的を達成するための本発明は、追加的な外部信号によって信号を制御することによってテストモードを遮断する。望ましくは、外部制御信号はクロックイネーブル信号またはデータ入／出力制御信号である。前記テストモードは、前記クロック信号のアクティブ領域で遮断される。望ましい実施形態において、内部制御信号は前記外部制御信号から生じる。本発明の回路はモードレジスタと、前記内部制御信号を生じる内部制御信号発生部と、モード制御信号発生部と、出力部と、及び第1及び第2デコーダを含んでいる。

【0010】本発明の方法は、モードレジスタに外部アドレス信号を入力して内部アドレス信号を生じる段階を含んでいる。本発明の方法は、またモードレジスタセット書込み信号と外部制御信号に応答して前記内部アドレス信号を組合せてテストモード制御信号またはモードレジスタセット制御信号を生じる段階を含んでいる。本発明の方法は、また前記モードレジスタセット制御信号に応答して前記内部アドレス信号中対応するアドレス信号を第1内部アドレス信号として出力したり、前記テストモード制御信号に応答して前記内部アドレス信号中対応するアドレス信号を第2内部アドレス信号として各々出力する段階をさらに含んでいる。

#### 【0011】

【発明の実施の形態】以下、添付した図面を参照して、本発明の一実施実施形態を通して本発明をより詳細に説明する。図4は、本発明による半導体メモリ装置の動作モードセッティング回路のブロック構成を示す。回路はモードレジスタ20、内部制御信号発生部22、モード制御信号発生部24、出力部25、第1デコーダ30及び第2デコーダ32を含む。

【0012】モードレジスタ20は、外部アドレス信号IA0～IA11を入力して内部アドレス信号IA0～IA

11を提供する。クロックイネーブル信号CKEがハイ状態としてアクティブモードにある時、/CS、/RA S、/CAS、/WEをロー状態とすると、アドレス入力A0～A10、A11がモードレジスタ20にライトされる。

【0013】16M SDRAMの場合には、モードレジスタ20に16ビットデータが貯蔵できる。前記三中A0～A2はバースト長さ(BURST LENGTH)フィールドで、A3はバーストタイプ(BURST TYPE)、A4～A6はCAS待ち時間(LATE NCY)フィールドである。A9を除いたA7～A11は、チップ製造者がテストや特別用途で用いるためのフィールドであるが、正常動作中には常に0にセッティングされるべきである。主にA7、A8をテストモードフィールドとして用いる。A9はBRSW(BURST READ SINGLE WRITE)でありグラフィック応用で主に用いられる。

【0014】図5は、図4の内部制御信号発生部22の望ましい一実施形態の回路図を示す。内部制御信号発生部22は、比較部222と出力バッファ224とを含む。比較部222は、MOSトランジスタM1～M5を含んだ差動増幅器で構成される。出力バッファ224は、従属連結されたインバータINV5、INV6で構成される。

【0015】差動増幅器の一側入力には、基準信号VRが入力されて他側入力にはクロックイネーブル信号CKEが入力される。前記基準信号VRは、中間値で維持される。したがって、クロックイネーブル信号CKEはアクティブ区間ではハイ状態を維持するので、比較部222の出力信号はロー状態として出力される。すなわち、クロックイネーブル信号CKEと位相が反対である内部制御信号TCKEが出力バッファ224を通して出力される。

【0016】図6は、図4のモード制御信号発生部24の望ましい一実施形態の回路図を示す。モード制御信号発生部24は、第1検出手段242、第2検出手段244、第1信号発生部246、第2信号発生部248を含む。第1検出手段242は、NANDゲートG1で構成されて、テストモードアドレス信号であるA1、Amを入力して二信号がすべてハイ状態である時、テストモードのノンアクティブ情報を第1検出信号として出力する。すなわち、A1、Amが0、0または0、1または1、0の場合にはテストモードであり、1、1の場合にはノンテストモードであることを意味する。

【0017】第2検出手段244は、NANDゲートG2で構成されて、モードレジスタセットのアドレス信号であるAi、Aj、Akを入力してこれら三信号がすべてハイ状態である時、モードレジスタセットのノンアクティブ情報を第2検出信号として出力する。すなわち、Ai、Aj、Ak中少なくとも一つ以上の0を含めばM

RSモードまたはユーザー モードであり、1、1、1の場合にはノンMRSモードであることを意味する。ここで、ノンアクティブ情報はコラムアドレスストローブ待ち時間を決定するアドレス信号がすべてハイ状態である時で、第1信号発生部246はインバータINV1、NANDゲートG3、インバータINV3で構成される。第1信号発生部246は、インバータINV1を通して反転された第1検出信号と、前記NANDゲートG2からの第2検出信号と、MRS書き込み命令信号PWCBRをNANDゲートG3を通して組合せる。その後、前記発生部246はその結果をインバータINV3を通して反転してMRS制御信号MRSETを生じる。すなわち、MRSET信号はA1、Amが1、1であり、Ai、Aj、Ak中少なくとも一つ以上が0を含む場合にPWCBRパルス信号によりアクティブ状態になる。

【0018】第2信号発生部248は、インバータINV2、NANDゲートG4、インバータINV4で構成される。第2信号発生部248は、インバータINV2を通して反転された第2検出信号と、第1検出信号と、MRS書き込み命令信号PWCBRと、内部制御信号TCKEとをNANDゲートG4を通して組合せる。その後、前記発生部248は、その結果をインバータINV4を通して反転してテストモード制御信号TMSETを生じる。すなわち、TMSET信号はA1、Am中少なくとも一つ以上が0を含み、Ai、Aj、Akが1、1、1であり、TCKEがハイ状態である時、PWCBRパルス信号によりアクティブ状態になる。

【0019】本発明が従来技術に比べて、重要な進歩を達成したことは図7の回路24と図2の回路12とを比較することによって分かる。多くの構成素子が類似に見られても、重要な差がある。回路24において、NANDゲートG4は3-入力ゲートでなく、4-入力ゲートである。追加的な入力は従来技術とは別に外部信号TCKEを受ける。したがって、図6及び7の本発明の信号TMSETは図1ないし3の従来技術の信号とは異なる。

【0020】信号TCKEは（信号CKEによって形成された）本実施形態で用いられているが、これは制限されない。したがって、信号TMSETを生じるための適切な調整を通して他の信号が用いられることが可能で、これは本明細書の詳細な説明を通して当業者は分かることである。例えば、他の外部入力ピンによって提供されたデータ入／出力制御信号または外部制御信号はクロックイネーブル信号CKEとして代えられることが可能である。

【0021】図7は、図4の出力部の望ましい一実施形態の回路図を示す。前記出力部26、28は入力バッファ27を通して内部アドレス信号IA0～A11を入力する。前記入力バッファ27は、相互直列に連結されたインバータINV7、INV8を含んでいる。前記入力

部25は、また第1入力部26と第2入力部28とを含んでいる。前記第1及び第2入力部26、28は各ビット別にMRSアドレス信号MRSAiとテストモードアドレス信号TESTAiとを各々出力する。したがって、16Mb SDRAMでは図7の回路がMRSアドレス信号の各ビット別に構成されるので全体的に12個の回路で構成される。

【0022】第1出力部26は、伝送ゲートTG1、インバータINV9～INV13を含む。伝送ゲートTG1はMRS制御信号MRSETに応答して入力されたアドレス信号をINV10、INV11で構成されたラッチにラッチしてラッチされた信号をINV12、INV13で構成されたバッファを通して第1内部アドレス信号MRSAiとして出力する。

【0023】第2出力部28は、伝送ゲートTG2、インバータINV14～INV18、MOSトランジスタM6を含む。伝送ゲートTG2はテストモード制御信号TMSETに応答して入力されたアドレス信号をINV15、INV16で構成されたラッチにラッチしてラッチされた信号をINV17、INV18で構成されたバッファを通して第2内部アドレス信号TESTAiとして出力する。MOSトランジスタM6は妥当なMRSで生じたMRSETに応答して妥当でないMRSとしてセッティングされた状態をリセットするためである。

【0024】第1デコーダ30は、MRSAiを入力してデコーディングしてデコーディング結果によるMRSiを生じる。例えば、16Mb SDRAMでは8個のバースト長さ（BURST LENGTH）モード、2個のバーストタイプ（BURST TYPE）、5個のCAS待ち時間（LATENCY）モードを生じる。

【0025】第2デコーダ32は、TESTAiを入力してデコーディングしてデコーディング結果によるTESTiを生じる。例えば、0、0と0、1と1、0の3個のテストモードを生じる。このように構成された本発明の回路動作は、図8及び図9を参照して説明すると次のようである。図8及び9は上述した信号の波形を示しており、図3の従来技術のような信号を波形で比較するためのものである。図8はユーザー モードで図4の動作状態を説明するためのタイミング図で、図9はテストモードで図4の動作状態を説明するためのタイミング図である。

【0026】まず、ユーザー モードで、SDRAMはCAS待ち時間（LATENCY）、バーストタイプ（BURST TYPE）、バースト長さ（BURST LENGTH）及び多様な動作モードをプログラムするようになるが、デフォルト値が指定されていないので、パワーアップ時にMRS動作を遂行して動作モードをセッティングすべきである。

【0027】クロックイネーブル信号CKEがハイ状態

になってアクティブモードになっている時、TCKEはロー状態に維持される。統いて、/CS、/RAS、/CAS、/WE信号がすべてロー状態になれば、外部アドレス信号がモードレジスタ20に書込まれるようになる。そして、MRS書き込み信号であるPWRBRパルス信号が自動で生成される。

【0028】しかし、妥当でないMRS命令が生じる場合にはモードレジスタ20に書込まれたアドレス信号がテストモードに符合される信号の場合にはモード制御信号発生部24でテストモード制御信号が生じるようになる。しかし、本発明では内部制御信号発生部22で生じた内部制御信号であるTCKE信号がロー状態に維持されているので、第2信号発生部248のNANDゲートG4で検出信号の組合せが遮断されるようになる。それゆえ、妥当でないMRS動作ではテストモード制御信号TMSETがロー状態をそのまま維持するようになって、それで第2出力部28の伝送ゲートTG2がターンオンできなくなるので妥当でないMRS信号が第2デコーダ32に伝達できなくなる。

【0029】統いて、妥当なMRS動作が進行されると、MRSに関連したアドレスが書き込まれるようになるので、モード制御信号発生部24でMRS制御信号であるMRSETパルス信号が生じるようになる。それで、入力されたMRSアドレス信号が第1出力部26を通して第1デコーダに提供されてデコーディングされる。デコーディング結果に対応するMRS*i*信号に応答してSDRAMは与えられた動作モードにセッティングされるようになる。

【0030】テストモードでは、妥当でないMRS、すなわちテストモード書き込み命令が与えられると、クロックイネーブル信号CKEがロー状態に維持されて、それで内部制御信号TCKEはハイ状態を維持するようになる。この時、PWRBRパルスは命令が与えられると自動パルスとして生じるので、モード制御信号発生部24でテストモード制御信号TMSETが生じるようになる。すなわち、TCKEにより遮断されなくて正常的に生じる。それゆえ、第2出力部28を通してテストモードアドレス信号が第2デコーダ32に伝達されてデコーディングされる。デコーディング結果に対応するTES*i*信号に応答してSDRAMは与えられたテスト動作モードにセッティングされるようになる。

### 【0031】

【発明の効果】以上、説明したように本発明は、ユーザ

ーモードではクロックイネーブル信号を利用して無効なMRS動作によりテストモードがセッティングされることを源泉的に遮断できる。それゆえ、従来の妥当なMRSによりリセットさせる方式に比べて無効なテスト動作が完了されて正常に復旧される時まで待つ必要がないのでユーザーがより安心して便利に使用できる。

【0032】前記では本発明の望ましい実施形態を参照して説明したが、該技術分野の熟練された当業者は、前記の特許請求の範囲に記載された本発明の思想及び領域から外れない範囲内で、本発明を多様に修正及び変更させることができることを理解できる。例えば、メモリが異なる数のビットで作動する場合、当業者は適切な調整を遂行できるものである。

### 【図面の簡単な説明】

【図1】 従来の半導体メモリ装置の動作モードセッティング回路のブロック構成を示した図面である。

【図2】 図1のモード制御信号発生部の回路構成を示した図面である。

【図3】 図1の動作状態を説明するためのタイミング図である。

【図4】 本発明による半導体メモリ装置の動作モードセッティング回路のブロック構成を示した図面である。

【図5】 図4の内部制御信号発生部の望ましい一実施例の回路図である。

【図6】 図4のモード制御信号発生部の望ましい一実施例の回路図である。

【図7】 図4の第1及び第2出力部の望ましい一実施例の回路図である。

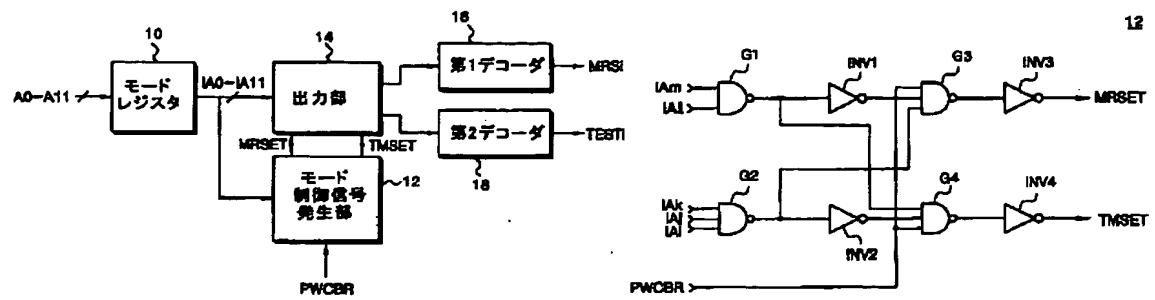
【図8】 ユーザーモードで図4の動作状態を説明するためのタイミング図である。

【図9】 テストモードで図4の動作状態を説明するためのタイミング図である。

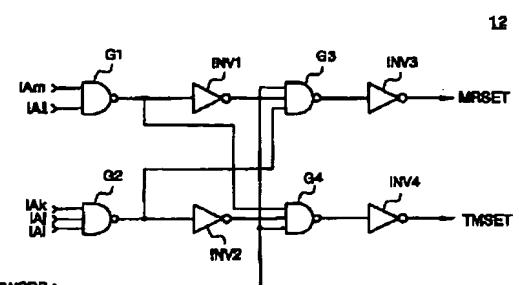
### 【符号の説明】

- 10 モードレジスタ
- 12 モード制御信号発生部
- 14 出力部
- 16、18 第1及び第2デコーダ部
- 20 モードレジスタ
- 22 内部制御信号発生部
- 24 モード制御信号発生部
- 26、28 第1及び第2出力部
- 30、32 第1及び第2デコーダ

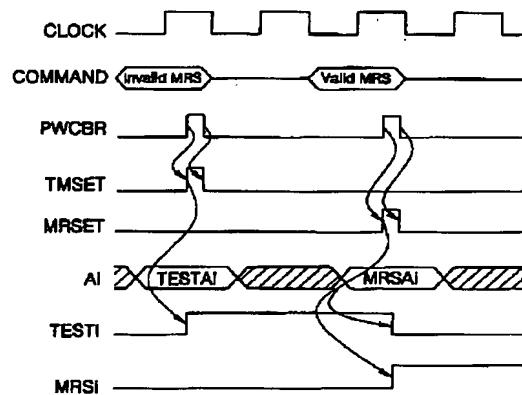
【図1】



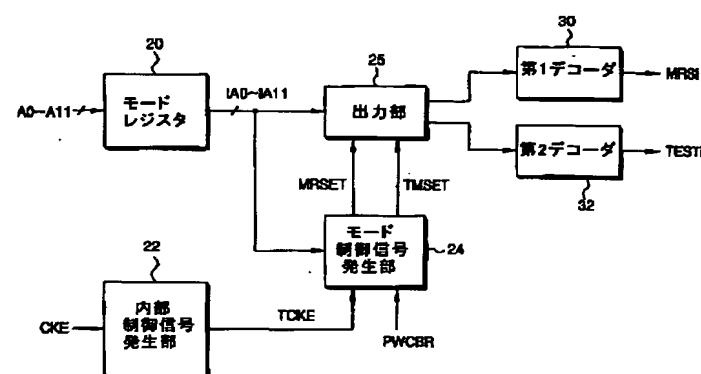
【図2】



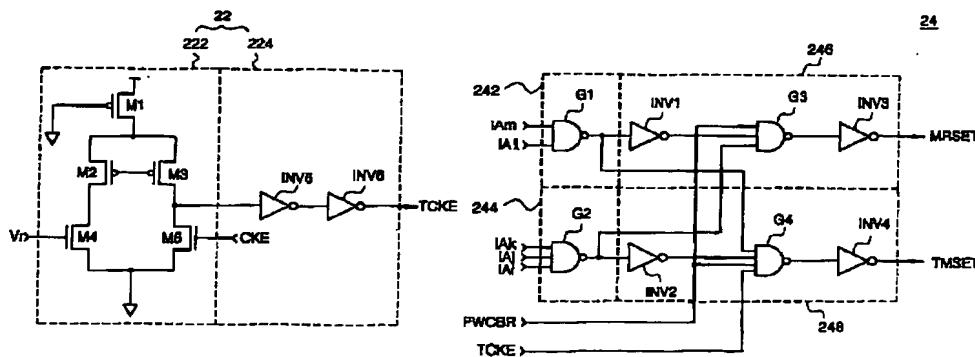
【図3】



【図4】

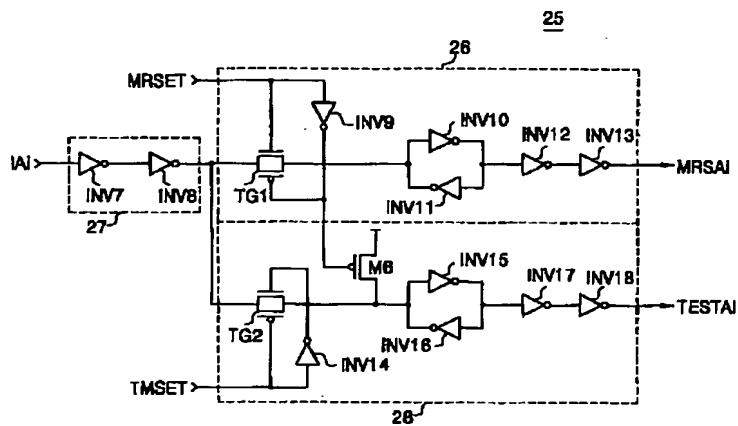


【図5】

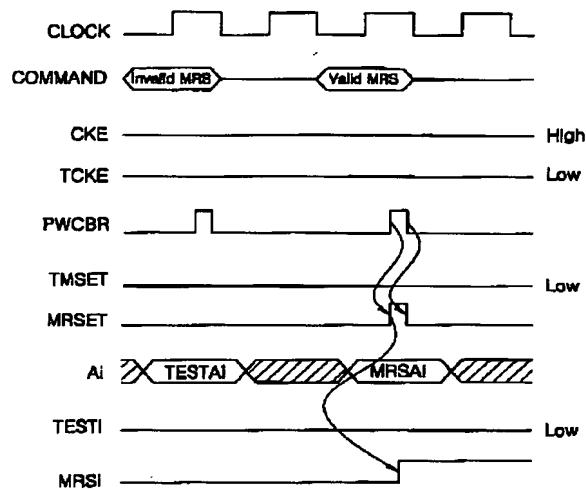


【図6】

【図7】



【図8】



【図9】

